

**JP3053707**

Biblio

Page 1

Drawing



AUTOMATIC GAIN CONTROL CIRCUIT

Patent Number: JP3053707
Publication date: 1991-03-07
Inventor(s): AOKI NOBUHISA; others: 01
Applicant(s): FUJITSU LTD
Requested Patent: ☐ JP3053707
Application Number: JP19890189601 19890721
Priority Number(s):
IPC Classification: H03G3/30; H03G3/20
EC Classification:
Equivalents: JP2092205C, JP8010809B

Abstract

PURPOSE: To converge an input signal level to a required level in a short time by operating a loop filter at a faster operating clock at a tip of a burst signal than the operating clock of the loop filter of portions other than the tip of the burst signal.

CONSTITUTION: A frequency conversion circuit 2 applies frequency conversion to a burst signal having a non modulation wave part at its tip into a base band, an A/D converter 3 applies A/D conversion, deviation information between an obtained digital conversion signal and an object is given to a loop filter 5 and the output of the loop filter 5 is fed to a variable attenuator 1 to control the amplitude of the burst signal based on the loop filter 5. A clock changeover circuit 7 is switched at the tip of the burst signal to activate the loop filter 5 with the operating clock faster than the operating clock for the loop filter 5 for the other portion than the tip.

Data supplied from the esp@cenet database - I2

Best Available Copy

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-53707

⑤ Int. Cl.⁵H 03 G 3/30
3/20

識別記号

B 8221-5 J
A 8221-5 J

庁内整理番号

⑬ 公開 平成3年(1991)3月7日

審査請求 未請求 請求項の数 2 (全7頁)

⑭ 発明の名称 自動利得制御回路

⑰ 特 願 平1-189601

⑱ 出 願 平1(1989)7月21日

⑲ 発 明 者 青 木 信 久 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑲ 発 明 者 内 島 誠 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 井 桁 貞一 外2名

明 細 書

1. 発明の名称

自動利得制御回路

2. 特許請求の範囲

(1) 少なくとも先頭部分に無変調波部分を有するバースト信号について、これをベースバンドに周波数変換し、アナログ/デジタル変換し、得られたデジタル変換信号と目標値との偏差情報をループフィルタ(5)に通し、このループフィルタ(5)の出力に基づいて該バースト信号の振幅を制御することにより、利得制御を自動的に行なう自動利得制御回路において、

該バースト信号の先頭部分においては、それ以外の部分における該ループフィルタ(5)の動作クロックよりも高速の動作クロックで該ループフィルタ(5)を動作させることを

特徴とする、自動利得制御回路。

(2) 該バースト信号の先頭部分においては、そ

れ以外の部分における該ループフィルタ(5)の通過帯域よりも広帯域となるよう、該ループフィルタ(5)の帯域特性を変更することの特徴とする、請求項1記載の自動利得制御回路。

3. 発明の詳細な説明

〔 概 要 〕

衛星通信用のデジタル復調器に用いて好適な自動利得制御回路に関し、

バースト信号入力時に入力信号レベルを短時間のうちに所要レベルに収束させることができるようにすることを目的とし、

少なくとも先頭部分に無変調波部分を有するバースト信号について、これをベースバンドに周波数変換し、アナログ/デジタル変換し、得られたデジタル変換信号と目標値との偏差情報をループフィルタに通し、このループフィルタの出力に基づいて該バースト信号の振幅を制御することにより、利得制御を自動的に行なう自動利得制御

回路において、該バースト信号の先頭部分においては、それ以外の部分における該ループフィルタの動作クロックよりも高速の動作クロックで該ループフィルタを動作させるように構成する。

〔産業上の利用分野〕

本発明は、衛星通信用のデジタル復調器に用いて好適な自動利得制御回路に関する。

衛星通信においては、キャリア再生のために、バースト信号の先頭部分に無変調波部分を挿入して通信を行ない、この信号をデジタル復調器にて復調している。

そして、かかる衛星通信用の復調器では、伝送効率を高くしたいとの要請が高く、従って上記の復調器が短い時間で安定に動作することが要求されている。このために、受信信号レベルについても短時間である目標のレベルにする必要がある。

〔従来の技術〕

従来より、衛星通信用のデジタル復調器には、

クよりも低速の周波数 f_s のものが使用される。

さらに、ループフィルタ5へ入力されている係数は、通過帯域を設定する係数を意味している。

〔発明が解決しようとする課題〕

しかしながら、このような従来の自動利得制御回路では、バースト信号の全ての部分（先頭の無変調波の部分とそれ以降のデータの部分）について、シンボルレートでこの自動利得制御回路を動作させているので、バースト信号入力時の信号レベルが急に変化する部分において、所要のレベルに収束させるのに時間がかかるという問題点がある。

本発明は、このような問題点を解決しようとするもので、バースト信号入力時に入力信号レベルを短時間のうちに所要レベルに収束させることができるようにした、自動利得制御回路を提供することを目的とする。

第4図に示すような自動利得制御回路が設けられており、この自動利得制御回路では、先頭部分に無変調波部分を有するバースト信号について、これを周波数変換回路2（この周波数変換回路2はミキサ回路21と局部発振器22とをそなえている）で、ベースバンドに周波数変換し、アナログ／デジタル変換器（A/D変換器）3にて、A/D変換し、偏差演算器4で、A/D変換器3からのデジタル変換信号と目標値との偏差情報を得たのち、この偏差情報をループフィルタ5に通し、更にこのループフィルタ5の出力（制御信号）をデジタル／アナログ変換器（D/A変換器）6を介して可変減衰器1へ供給することにより、バースト信号の振幅を制御して、利得制御を自動的にこなっている。

なお、A/D変換器3の出力は、図示しないキャリア再生回路へ送出される。

また、A/D変換器3の動作クロックは周波数が $2f_s$ のクロックであり、ループフィルタ5の動作クロックは上記A/D変換器3の動作クロック

〔課題を解決するための手段〕

第1図は本発明の原理ブロック図である。

この第1図において、1は可変減衰器で、この可変減衰器1は、少なくとも先頭部分に無変調波部分を有するバースト信号の受信レベルを可变的に調整するもので、後述のループフィルタ5からの信号に応じて、受信レベルを調整できるようにになっている。

2は周波数変換回路で、この周波数変換回路2は、可変減衰器1からの出力について周波数変換してベースバンドの信号にするものである。

3はA/D変換器で、このA/D変換器3は、周波数変換回路2からのアナログのベースバンド信号をデジタル信号に変換するものである。なお、このA/D変換器3の動作クロックは、周波数が $n f_s$ のクロックである。

4は偏差演算器で、この偏差演算器4は、A/D変換器3からの振幅情報を有するデジタル出力と目標値とを比較して両者間の偏差情報を出力するものである。

5はループフィルタで、このループフィルタ5は、デジタルタイプのフィルタであり、偏差演算器4からの偏差情報をフィードバック情報として、この偏差情報に基づき可変減衰器制御信号を出力するものである。

6はD/A変換器で、このD/A変換器6は、ループフィルタ5からのデジタル信号をアナログ信号に変換するものである。

7はクロック切替回路で、このクロック切替回路7は、ループフィルタ5の動作クロックを2種選択的に切り替えるもので、2種のクロックとしては、周波数が f_s のものと $m f_s$ ($n \geq m > 1$)のものとは使用される。そして、このクロック切替回路7は、受信信号としてのバースト信号の先頭部分においては、それ以外の部分におけるループフィルタ5の動作クロック(周波数 f_s)よりも高速の動作クロック(周波数 $m f_s$)でループフィルタ5を動作させるように切り替わる。

8は係数設定回路で、この係数設定回路8は、ループフィルタ5の帯域特性を複数設定しうるよ

うに、複数の係数を設定しうるもので、この係数設定回路8は、バースト信号の先頭部分においては、それ以外の部分におけるループフィルタ5の通過帯域よりも広帯域となるよう、係数を変更して、ループフィルタ5の帯域特性を変更できるようになっている。

〔作用〕

上述の本発明の自動利得制御回路では、少なくとも先頭部分に無変調波部分を有するバースト信号について、これを周波数変換回路2でベースバンドに周波数変換し、A/D変換器3でA/D変換し、得られたデジタル変換信号と目標値との偏差情報をループフィルタ5に通し、このループフィルタ5の出力を可変減衰器1へ供給することにより、ループフィルタ5の出力に基づいてバースト信号の振幅を制御することにより、利得制御を自動的に行なうが、バースト信号の先頭部分においては、クロック切替回路7を切り替えて、それ以外の部分におけるループフィルタ5の動作ク

ロックよりも高速の動作クロックでループフィルタ5を動作させる。

さらに、バースト信号の先頭部分においては、係数設定回路8からの係数を変更して、それ以外の部分におけるループフィルタ5の通過帯域よりも広帯域となるよう、ループフィルタ5の帯域特性を変更する。

〔実施例〕

以下、図面を参照して本発明の実施例を説明する。

第2図は本発明の一実施例を示すブロック図で、この第2図に示す自動利得制御回路は、中小容量の衛星通信用デジタル復調器に使用されるバーストモデム用自動利得制御回路であるが、この自動利得制御回路は、可変減衰器1、周波数変換回路2、A/D変換器3、デジタルフィルタ9、偏差演算器4、ループフィルタ5、D/A変換器6、クロック切替回路7、係数設定回路8をそなえて構成されている。

ここで、可変減衰器1は、先頭部分にキャリア再生のための無変調波部分(CRプリアンプル)を有するバースト信号(この場合、このバースト信号はIF信号として入力される)の受信レベルを可変的に調整するもので、後述のループフィルタ5からの制御信号に応じて、受信レベルを調整できるようになっている。

周波数変換回路2は、可変減衰器1からの出力について周波数変換してベースバンドの信号にするもので、ミキサ回路21と局部発振器22とをそなえている。

A/D変換器3は、周波数変換回路2からのアナログのベースバンド信号をデジタル信号に変換するもので、周波数が $2 f_s$ のクロックで動作する。

デジタルフィルタ9は、雑音除去用のフィルタで、例えばロールオフ率32%のものが使用される。このデジタルフィルタ9も周波数が $2 f_s$ のクロックで動作する。なお、このデジタルフィルタ9からの出力は、図示しないキャリ

ア再生回路へ送出されるとともに、減衰量制御用フィードバック情報として使用される。

偏差演算器4は、デジタルフィルタ9からの振幅情報を有するデジタル出力と目標値とを比較して両者間の偏差情報を出力するものである。

ループフィルタ5は、デジタルタイプのフィルタで、偏差演算器4からの偏差情報をフィードバック情報として、この偏差情報に基づき可変減衰器制御信号を出力するものである。

D/A変換器6は、ループフィルタ5からのデジタル信号をアナログ信号に変換するものである。

クロック切替回路7は、ループフィルタ5の動作クロックを2種選択的に切り替えるもので、2種のクロックとしては、周波数が f_s のものと $2f_s$ のものとは使用される。そして、このクロック切替回路7は、CRプリアンプル検出信号を受けて、バースト信号の先頭部分(CRプリアンプル)においては、それ以外の部分(データ等の部分)におけるループフィルタ5の動作クロック

(周波数 f_s)よりも高速の動作クロック(周波数 $2f_s$)でループフィルタ5を動作させるように切り替わる。

係数設定回路8は、ループフィルタ5の帯域特性を複数(2~4種)設定しうるように、複数の係数を設定しうるもので、この係数設定回路8は、バースト信号の先頭部分(CRプリアンプル)においては、それ以外の部分(データ等の部分)におけるループフィルタ5の通過帯域よりも広帯域となるよう、係数を変更して、ループフィルタ5の帯域特性を変更できるようになっている。

すなわち、この係数設定回路8は、CRプリアンプル検出信号を受けた直後、即ちクロック切替回路7によって高速クロック($2f_s$)が選択された初期は、ロックの引き込みを速やかに行なうため、ループフィルタ5の帯域特性を広くするような係数を設定し、その後は段階的にループフィルタ5の帯域特性を狭くしていくように、係数を変更していくのである。

なお、TDM A等を採用する衛星通信システム

の場合、送受信側で、共通の時計を有しているので、この時計を基にCRプリアンプル検出信号を検出することが行なわれる。

上述の構成により、先頭部分に無変調波部分を有するバースト信号を周波数変換回路2でベースバンドに周波数変換し、A/D変換器3でA/D変換し、更にデジタルフィルタ9でろ波し、得られたデジタル変換信号と目標値との偏差情報をループフィルタ5に通し、このループフィルタ5の出力をD/A変換器6を介して可変減衰器1へ供給することにより、ループフィルタ5の出力に基づいてバースト信号の振幅を制御することにより、利得制御を自動的に行なう。

その際、バースト信号の先頭部分においては、クロック切替回路7を切り替えて、それ以外の部分におけるループフィルタ5の動作クロックよりも高速の動作クロック(シンボルレートより高速のクロック)でループフィルタ5を動作させるとともに、同様にバースト信号の先頭部分においては、係数設定回路8からの係数を変更して、それ

以外の部分におけるループフィルタ5の通過帯域よりも広帯域となるよう、ループフィルタ5の帯域特性を変更する。

これにより、第3図(a)に示すように、バースト信号入力時に入力信号レベルを短時間のうちに所要レベルに収束させることができるのである。

なお、第3図(b)はバースト信号の先頭部分においても、低速の動作クロック(f_s)でループフィルタ5を動作させた場合の特性図で、これら第3図(a)、(b)の両図を比較すれば、本自動利得制御回路による効果は、一目瞭然である。

また、上記の第3図(a)、(b)において、制御コードは、可変減衰器1への制御コードで、減衰量に相当し、シンボル数はクロック f_s でサンプリングした数を表わしている。

また、バースト信号の先頭部分において、係数を切り替えることなく、それ以外の部分におけるループフィルタ5の通過帯域と同様の狭い帯域のまま動作させても、従来のものより、収束性は改善される。しかし、好ましくは、バースト信号

の先頭部分においては、高速の動作クロックでループフィルタ5を動作させるとともに、バースト信号の先頭部分以外の部分におけるループフィルタ5の通過帯域よりも広帯域となるよう、ループフィルタ5の帯域特性も変更するのがよい。

なお、可変減衰器1は、第2図に示すごとく周波数変換回路2の入力側に設けてもよいが、更に周波数変換回路2とA/D変換器3との間またはA/D変換器3とデジタルフィルタ9との間またはデジタルフィルタ9の出力側に設けてもよい。

〔発明の効果〕

以上詳述したように、請求項1に記載の本発明の自動利得制御回路によれば、バースト信号の先頭部分においては、それ以外の部分におけるループフィルタの動作クロックよりも高速の動作クロックでループフィルタを動作させるので、バースト信号入力時に入力信号レベルを短時間のうちに所要レベルに収束させることができる利点がある。

また、請求項2に記載の本発明の自動利得制御回路では、バースト信号の先頭部分においては、それ以外の部分におけるループフィルタの動作クロックよりも高速の動作クロックでループフィルタを動作させるとともに、バースト信号の先頭部分以外の部分におけるループフィルタの通過帯域よりも広帯域となるよう、ループフィルタの帯域特性を変更するので、バースト信号入力時に入力信号レベルを更に短時間のうちに所要レベルに収束させることができる利点がある。

4. 図面の簡単な説明

第1図は本発明の原理ブロック図、

第2図は本発明の一実施例を示すブロック図、

第3図(a)は本自動利得制御回路による特性図、

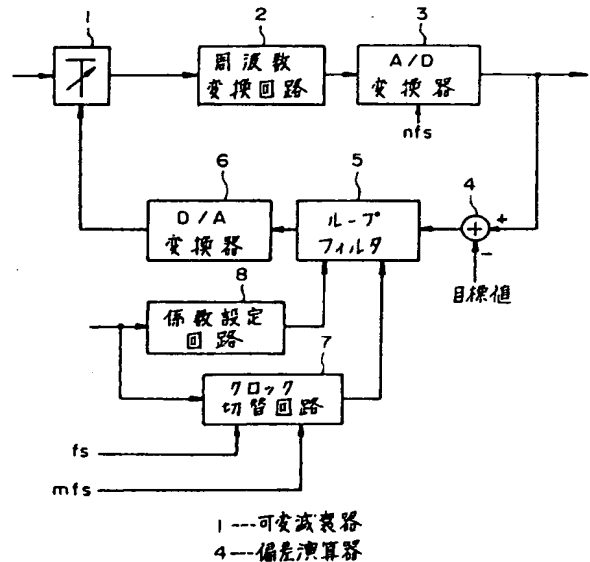
第3図(b)は従来例による特性図、

第4図は従来例を示すブロック図である。

図において、

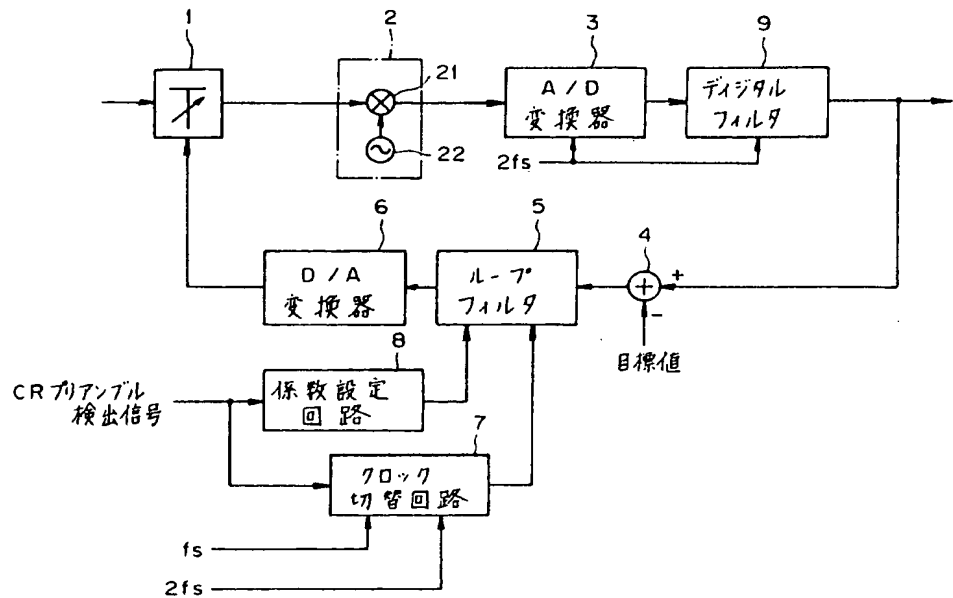
- 1は可変減衰器、
- 2は周波数変換回路、
- 3はA/D変換器、
- 4は偏差演算器、
- 5はループフィルタ、
- 6はD/A変換器、
- 7はクロック切替回路、
- 8は係数設定回路、
- 9はデジタルフィルタ、
- 21はミキサ回路、
- 22は局部発振器である。

代理人 井理士 井 術 貞

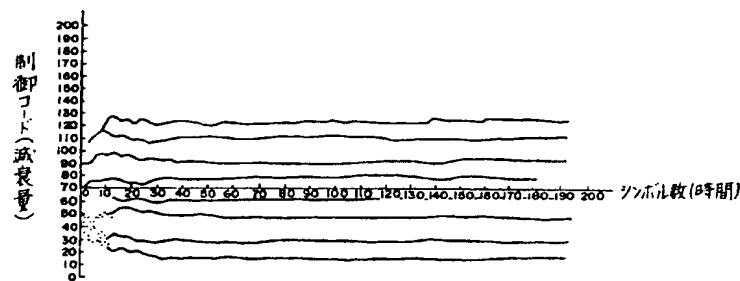


本発明の原理ブロック図
第1図

- 1---可変減衰器
- 2---周波数変換回路
- 4---偏差演算器
- 21---ミキサ回路
- 22---局部発振器

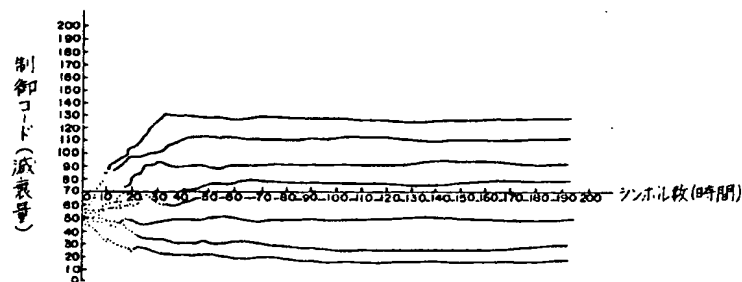


本発明の一実施例を示すブロック図
第2図



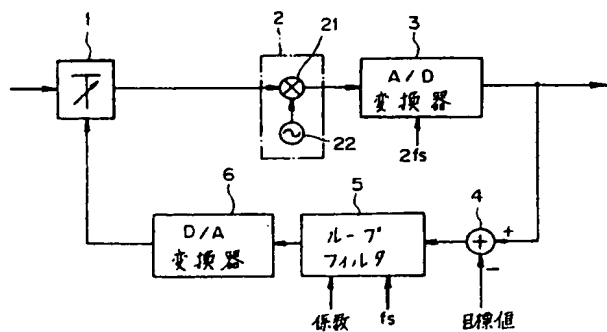
本自動利得制御回路による特性図
(a)

第3図



従来例による特性図
(b)

第3図



1---可変減衰器 21---ミキサ回路
4---偏差演算器 22---局部発振器

従来例E示すブロック図
第4図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.